**الجلسة الخامسة:**

**تعريف بلوحة التجارب Spartan-3AN FPGA Starter Kit**

**مقدمة:**

بعد أن تعرفنا على البيئة البرمجية Quartus2 التي تدعم شرائح شركة Altera , و قمنا بتنفيذ عدد من التطبيقات التي سمحت لنا باكتشاف أهم الميزات و الخصائص التي تتمتع بها هذه البيئة, و ذلك بالتوازي مع تعلم المبادئ و القواعد الأساسية للغة VHDL , سننتقل الى التعرف على البيئة البرمجية Xilinx ISE 11.1 التي تدعم شرائح شركة Xilinx مع الاستمرار بدراسة القواعد الأساسية للغة VHDL.

و سنقوم بتطبيق المشاريع التي سننفذها على لوحة التجارب : **Spartan-3AN FPGA Starter Kit** , و قبل ذلك سنتعرف على هذه اللوحة .

**- لمحة عن البنية الداخلية للـ FPGA – ( (Spartan-3A - XC3S700A:**

لرؤية الـ data sheet بالتفصيل انظر الـ CD المرفق بتجارب المخبر ضمن folder اسمه مكتبة المخبر الالكترونية .



The Spartan-3A family architecture consists of five fundamental programmable functional elements:

• **Configurable Logic Blocks (CLBs)** contain flexible Look-Up Tables (LUTs) that implement logic plus storage elements used as flip-flops or latches. CLBs perform a wide variety of logical functions as well as store data.

• **Input/Output Blocks (IOBs)** control the flow of data between the I/O pins and the internal logic of the device. IOBs support bidirectional data flow plus 3-state operation. Supports a variety of signal standards, including several high-performance differential standards. Double Data-Rate (DDR) registers are included.

• **Block RAM** provides data storage in the form of 18-Kbit dual-port blocks.

• **Multiplier Blocks** accept two 18-bit binary numbers as inputs and calculate the product.

• **Digital Clock Manager (DCM) Blocks** provide self-calibrating, fully digital solutions for distributing, delaying, multiplying, dividing, and phase-shifting clock signals.

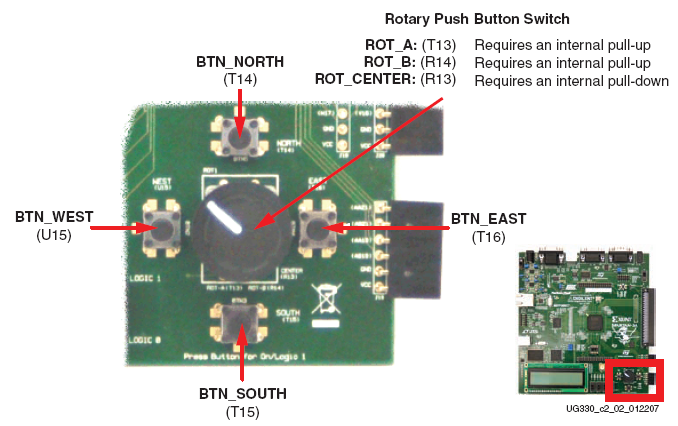
The Spartan-3A family features a rich network of routing that interconnect all five functional elements, transmitting signals among them. Each functional element has an associated switch matrix that permits multiple connections to the routing.

تحتوي هذه اللوحة : وحدات دخل- وحدات خرج- وحدات تخاطب مع أجهزة و طرفيات أخرى – وحدات تخزينية ( ذواكر ) .

الصور التالية توضح أماكن بعض الوحدات التي سنحتاجها في تطبيقنا الأول :

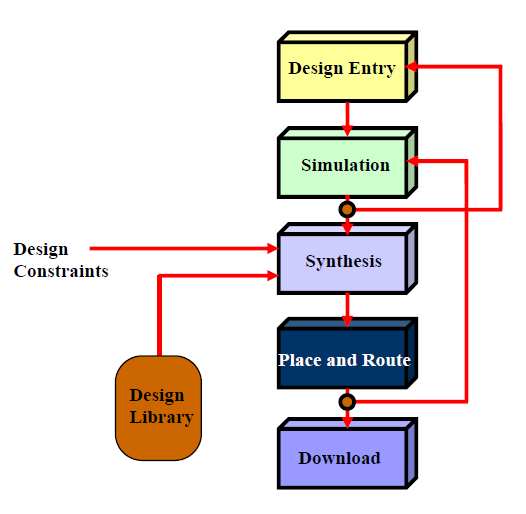
---------------------------------------------------------------------

-----------------------------------------------------------------------------------------------------------------



-----------------------------------------------------------------------------------------------------

**مراحل تصميم النظم الالكترونية في Xilinx ISE 11.1 :**

****

**Typical Design Flow**

* **Multiple design entry methods HDL, schematic**
* **Simulation : Verify Logic Model & Data Flow**
* **Synthesis : Translate Design into a netlist : representation of the hardware design**
* **The hardware design components are then mapped to the FPGA technology and placed on the chip**
* **and the connecting signals are routed through the interconnection network**
* **A binary file (bitstream) is then generated to be loaded into the FPGA**